

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2002 EPO. All rts. reserv.

8235222

Basic Patent (No,Kind,Date): JP 63237571 A2 881004 <No. of Patents: 002>

MANUFACTURE OF THIN FILM TRANSISTOR (English)

Patent Assignee: SEIKO EPSON CORP

Author (Inventor): TAKENAKA SATOSHI

IPC: *H01L-029/78; H01L-027/12

Derwent WPI Acc No: C 88-319861

JAPIO Reference No: 130044E000030

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applc No	Kind	Date
JP 63237571	A2	881004	JP 8772368	A	870326 (BASIC)
JP 2802618	B2	980924	JP 8772368	A	870326

Priority Data (No,Kind,Date):

JP 8772368 A 870326

DIALOG(R)File 347:JAPIO

(c) 2002 JPO & JAPIO. All rts. reserv.

02620671 **Image available**

MANUFACTURE OF THIN FILM TRANSISTOR

PUB. NO.: 63-237571 [JP 63237571 A]

PUBLISHED: October 04, 1988 (19881004)

INVENTOR(s): TAKENAKA SATOSHI

APPLICANT(s): SEIKO EPSON CORP [000236] (A Japanese Company or Corporation), JP (Japan)

APPL. NO.: 62-072368 [JP 8772368]

FILED: March 26, 1987 (19870326)

INTL CLASS: [4] H01L-029/78; H01L-027/12

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors, MOS)

JOURNAL: Section: E, Section No. 710, Vol. 13, No. 44, Pg. 30, January 31, 1989 (19890131)

ABSTRACT

PURPOSE: To reduce a threshold voltage V_{th} with a sharp rise by channel-doping it before a gate electrode is formed to form a light P-type polycrystalline silicon.

CONSTITUTION: After an island 1-2 of an undoped polycrystalline silicon thin film is formed on an insulating transparent substrate 1-1, boron of P-type impurity is channel-implanted to the polycrystalline silicon to form a light P-type polycrystalline silicon. Then, after a gate oxide film 1-4, a gate electrode 105 are formed, it is conducted in a hydrogen plasma processing step, a hydrogen ion implanting step or a plasma nitride film forming step. Thus, a CMOS polycrystalline silicon thin film transistor having excellent characteristics in which the rise of a subthreshold region becomes sharp, the absolute value of V_{th} is reduced, the magnitudes of the absolute values of V_{th} of N-channel and P-channel coincide can be performed.

⑯ 日本国特許庁 (JP)

⑮ 特許出願公開

⑯ 公開特許公報 (A)

昭63-237571

⑯ Int.Cl.

H 01 L 29/78
27/12

識別記号

311

庁内整理番号

Y-8422-5F
7514-5F

⑯ 公開 昭和63年(1988)10月4日

審査請求 未請求 発明の数 1 (全4頁)

⑯ 発明の名称 薄膜トランジスタの製造方法

⑯ 特願 昭62-72368

⑯ 出願 昭62(1987)3月26日

⑯ 発明者 竹中 敏 長野県諏訪市大和3丁目3番5号 セイコーホーム株式会社内

⑯ 出願人 セイコーホーム株式 東京都新宿区西新宿2丁目4番1号
会社

⑯ 代理人 弁理士 最上務 外1名

明細書

1. 発明の名称

薄膜トランジスタの製造方法

2. 特許請求の範囲

絶縁性透明基板上に、Nチャネル多結晶シリコン薄膜トランジスタとPチャネル多結晶シリコン薄膜トランジスタとを有するCMOS型多結晶シリコン薄膜トランジスタにおいて、ゲート電極形成前に、ポロンをチャネルドーピングする工程とゲート電極形成後に水素プラズマ処理工程あるいは水素イオン打込み工程あるいはプラズマ窒化膜形成工程とを有することを特徴とする薄膜トランジスタの製造方法。

3. 発明の詳細な説明

(直義上の利用分野)

本発明は、透明性絶縁基板上に形成されるアクティブマトリクスあるいはイメージセンサーの西

素のスイッチング素子あるいは駆動用回路に用いられるCMOS (Complementary-Metal-Oxide-Semiconductor) 型多結晶シリコン薄膜トランジスタにおいて、低駆動電圧で大電流が得られ、さらに両チャネルトランジスタのスレッショルド電圧の絶対値が一致するCMOS型多結晶シリコン薄膜トランジスタ及びその製造方法に関する。

(従来の技術)

多結晶シリコンにおいては、結晶粒界に存在するダンギングボンドなどの欠陥が、キャリアに対するトラップ単位あるいは障壁として働くと一般的に考えられており(たとえば、John Y. W. Seto, J. Appl. Phys., 48, 5247(1975)など)従って多結晶シリコン薄膜トランジスタの性能を向上させるには、前記欠陥を低減させる必要がある。(たとえば、J. Appl. Phys., 53(2), 1193(1982)など)その目的で、水素による前記欠陥の格離化が行なわれており、その中

でも代表的な方法が、水蒸プラズマ処理（たとえば、応用物理学会、1986年秋季大会予稿集、講演番号27p-Q-5、水蒸プラズマに因しては、電子材料1981年1月号p124参照）あるいはプラズマ活性膜の形成（電子通信学会技術研究報告SSD83-75、23ページ）である。これらを用いるとスレッシュホールド電圧（以下Vthと記す。）の絶対値が小さくなりサブスレッシュホールド領域の立ち上がりが急しむくなる。

〔発明が解決しようとする問題点〕

しかし、前述の従来技術では、Vthのシフトという問題が無視できなくなる。つまりNチャネルトランジスタがデプレッション方向にシフトしてOFFリーコ電流が上昇し、Pチャネルトランジスタがエンハンスマント方向にシフトするという問題点を有するのである。（電子通信学会技術研究報告SSD83-75、23ページ参照）この原因としてはプラズマにさらされる事により、ゲート酸化膜中に正の固定電荷が形成され、チャ

ネル部が常に負に誘起されている為だと考えられる。従って、多結晶シリコン薄膜をあらかじめP型にしておけば、水蒸プラズマ処理による前述のようなトランジスタ特性のシフトの問題を解決できる。

本解明は、このような水蒸プラズマ処理工程あるいは水蒸イオン打込み工程あるいはプラズマ活性膜形成工程に共なうトランジスタ特性の異常シフトの問題を解決し、Vthの絶対値が小さくてサブスレッシュホールド領域の立ち上がりが急しむんでさらにはPチャネル及びNチャネル共にそのVthの絶対値がほぼ等しいCMOS型多結晶シリコン薄膜トランジスタを提供することを目的としている。

〔問題点を解決するための手段〕

本発明のCMOS型多結晶シリコン薄膜トランジスタ及びその製造方法は、絶縁性透明基板上にNチャネル多結晶シリコン薄膜トランジスタとPチャネル多結晶薄膜トランジスタとを有するCMOS型多結晶シリコン薄膜トランジスタにおいて

て、ゲート電極形成前に、ボロンをチャネルドーピングする工程と、ゲート電極形成後に水蒸プラズマ処理工程あるいは水蒸イオン打込み工程あるいはプラズマ活性膜形成工程とを有することを特徴とする。

〔実施例〕

第1図により、本発明の実施例を工程図に従って説明する。同図(a)において、絶縁性透明基板1-1上に無添加多結晶シリコン薄膜の島1-2を形成する。前記無添加多結晶シリコンは、減圧CVDなどで堆積させられる。さらに島1-2はフォトエッチングで形成される。次にウェーハ全面にわたってイオン打込み法によって、多結晶シリコンに対してP型不純物であるボロンをチャネル打込みしてライトP型多結晶シリコンにする。1-3はボロンビームを示す。ただし、Vthのシフト量が1ボルト程度で、抵抗率が低下しないくらいの打込み量に設定する必要があり、およそ 10^{13} cm^{-2} から 10^{14} cm^{-2} 程度が適当である。続いて同図(b)で示すように熱酸化

によりゲート酸化膜1-4を形成する。ゲート酸化膜形成後にチャネルドーピングする方法もあるが、この場合ゲート酸化膜へのイオン打込みによるダメージが考えられ（たとえば応用物理、第54巻、第12号、1208ページ 1985年参照）粒子のプラズマに対する耐性が劣化することが予想される。従って、本実施例のようにゲート酸化膜形成前にチャネルドーピングするほうが良いものと考えられる。同図(c)、(d)はCMOS構造を製造する一般的な工程である。1-5はゲート電極であり、該ゲート電極をマスクとし、ボロン及びリンを選択的にイオン打込みし、ソース及びドレイン部を形成する。(d)に示すようにPチャネル多結晶シリコン薄膜トランジスター1-8及びNチャネル多結晶シリコン薄膜トランジスター1-9を形成する。1-6はボロン打込み領域、1-7はリン打込み領域を示す。水蒸イオン打込み方の場合はこここの状態で行なう。次に島間絶縁膜を形成する。該島間絶縁膜としてプラズマ活性膜Si、N_xを用いると多結晶シリコン

の水蒸化が周間地線膜形成と同時に達成される。同図(c)に示すように周間地線膜1-10にCVDSiO_xなどを用いた場合は、続いて水蒸プラズマ処理を行なう。1-11は水蒸プラズマにより発生した反応性の高い水蒸ラジカルを示している。水蒸プラズマは、平行平板型の一般的なプラズマ装置と同様、ガスを用いることにより簡単に得ることができる。一方、水蒸プラズマ処理工程は、コンクート電極を形成した後に行なっても、何ら問題はない。

(発明の効果)

以上述べたように本発明によれば、従来の水蒸プラズマ処理でNチャネル多結晶シリコン薄膜トランジスタがデブレッショング方向にシフトし、そしてPチャネル多結晶シリコン薄膜トランジスタがエンハンスマント方法にそれぞれシフトするという異常シフトの問題を、チャネル部の多結晶シリコンにボロンを低濃度(10^{17} cm^{-3} から 10^{18} cm^{-3} 程度)にチャネルドーピングしてライトP型多結晶シリコンにしたことにより切

止することができる。従って、水蒸プラズマ処理による多結晶シリコンの欠陥の低減という長所を最大限に利用することができるようになった。つまり、サブスレッシュホールド領域の立ち上がりが空しゃんとなり、V_{th}の絶対値が低減され、しかもNチャネル、Pチャネル共にそのV_{th}の絶対値の大きさが一致するというすぐれた特性を持つCMOS型多結晶シリコン薄膜トランジスタの実現が可能となる。第2図にNチャネル多結晶シリコン薄膜トランジスタに対する本発明の効果を示す。この図は発明者が実験して得たデータである。試験はゲートとソース間電圧V_{GS}であり、たて軸はドレイン電流I_Dの対数である。測定はドレインとソース間電圧V_{GS}を5Vで行なった。試験2-1の曲線が従来方法による結果であり、試験2-2の曲線がボロンのチャネルドーピングを行なった本発明の実施例による結果である。ただし、チャネルドーピングはゲート酸化膜形成後に行ない、打込み量はボロン $5 \times 10^{17} \text{ cm}^{-3}$ である。これらの結果からわかるように、従来方

法ではNチャネル多結晶シリコン薄膜トランジスタがデブレッショング方向に異常にシフトするのにに対し、本発明の結果は、まったくシフトしておらず本発明の効果は非常に大きいものである。

例えばアクティブマトリクス基板に本発明を用いるとODD電流が小さいので高コントラストなアクティブマトリクス基板が実現できる。また、CMOS構造である為、シフトレジスタ回路(S/R)と光電変換素子を同一基板に作り込んだイメージセンサーにも応用することができ、前記イメージセンサーの高速読み取りや大型化、あるいはカラー化などに対して大きな効果が期待される。低消費電力化にもなるのでローコスト化にも役に立つ。また低電圧化も可能となるので、素子の信頼性向上にもつながる。

以上述べたように、本発明によれば、立ち上がりが空しゃんでV_{th}が小さくてOFFドリーパ電流が小さくてさらにNチャネルとPチャネルのV_{th}の絶対値がほぼ一致したすぐれたCMOS型多結晶シリコン薄膜トランジスタを実現すること

を可能にするので、イメージセンサーなどのデバイスの高速動作低消費電力化及び高信頼化などの要求項目に対し非常に大きな効果をもたらすものである。

4. 図面の簡単な説明

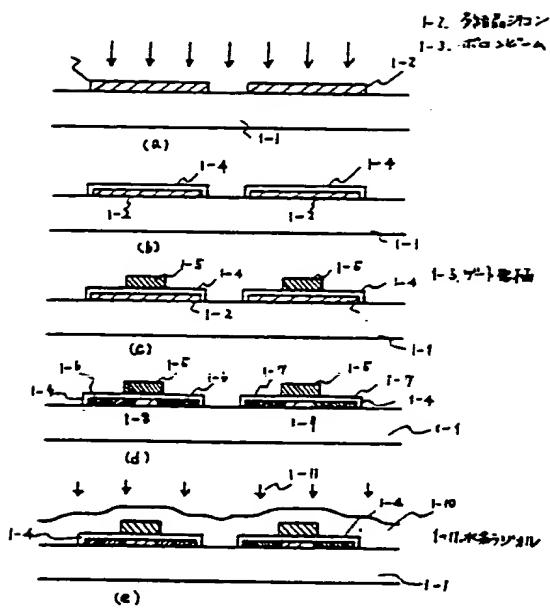
第1図(a)から(c)は、本発明におけるCMOS型多結晶シリコン薄膜トランジスタの工程図である。

第2図は、Nチャネル多結晶シリコン薄膜トランジスタに対する本発明の効果を従来例と比較するのに示したトランジスタ特性図である。

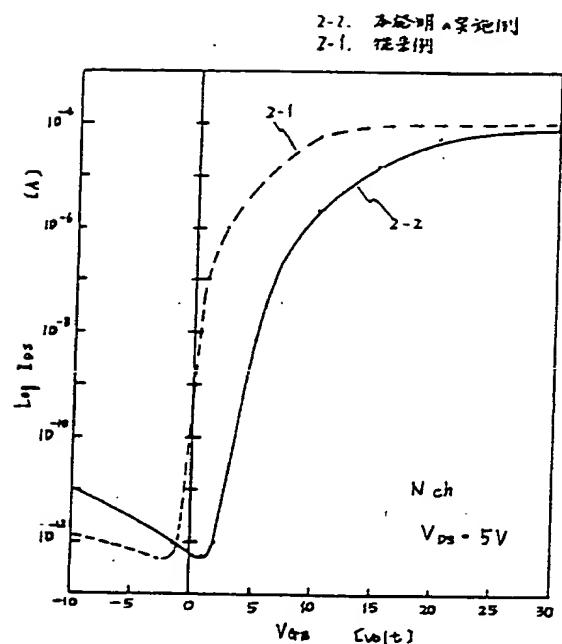
- 1-2: 多結晶シリコン
- 1-3: ボロンビーム
- 1-5: ゲート電極
- 1-11: 水蒸ラジカル
- 2-1: 従来例によるトランジスタカーブ
- 2-2: 本発明実施例によるトランジスタカーブ

以上

特開昭63-237571(4)



第1図



第2図